

008021907 **Image available**
WPI Acc No: 1989-287019/198940
Related WPI Acc No: 1999-290126; 1999-290127
XRPX Acc No: N89-219139

Self-scanning array of light-emitting element array - is arranged so that each thyristor turned-on provides light to next thyristor to be turned on to reduce its threshold level

Patent Assignee: NIPPON SHEET GLASS CO LTD (NIPG)

Inventor: KUSUDA Y; TANAKA S; TONE K; YAMASHITA K

Number of Countries: 005 Number of Patents: 012

Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|-------------|------|----------|-------------|------|----------|----------|
| EP 335553 | A | 19891004 | EP 89302751 | A | 19890320 | 198940 B |
| JP 1238962 | A | 19890925 | JP 8865392 | A | 19880318 | 198944 |
| JP 2014584 | A | 19900118 | JP 88164353 | A | 19880701 | 199009 |
| JP 2092651 | A | 19900403 | JP 88246630 | A | 19880930 | 199019 |
| JP 2212170 | A | 19900823 | JP 89205193 | A | 19890808 | 199040 |
| EP 335553 | A3 | 19940105 | EP 89302751 | A | 19890320 | 199516 |
| US 5451977 | A | 19950919 | US 89324197 | A | 19890316 | 199543 |
| | | | US 92860203 | A | 19920326 | |
| | | | US 9384766 | A | 19930628 | |
| JP 9022268 | A | 19970121 | JP 8865392 | A | 19880318 | 199713 |
| | | | JP 96137806 | A | 19880318 | |
| JP 9216416 | A | 19970819 | JP 8865392 | A | 19880318 | 199743 |
| | | | JP 96137804 | A | 19880318 | |
| US 5814841 | A | 19980929 | US 89324197 | A | 19890316 | 199846 |
| | | | US 92860203 | A | 19920326 | |
| | | | US 9384766 | A | 19930628 | |
| | | | US 95426060 | A | 19950421 | |
| EP 335553 | B1 | 19990915 | EP 89302751 | A | 19890320 | 199942 |
| | | | EP 99200060 | A | 19890320 | |
| | | | EP 99200061 | A | 19890320 | |
| DE 68929071 | E | 19991021 | DE 629071 | A | 19890320 | 199950 |
| | | | EP 89302751 | A | 19890320 | |

Priority Applications (No Type Date): JP 88263402 A 19881019; JP 8865392 A 19880318; JP 88164353 A 19880701; JP 88246629 A 19880930; JP 88246630 A 19880930; JP 89205193 A 19890808; JP 96137806 A 19880318; JP 96137804 A 19880318

Cited Patents: -SR.Pub; 3.Jnl.Ref; EP 210898; AGB 2099221; AJP60201679; AJP61248483; AUS 3680049; AUS 3696389

Patent Details:

| Patent No | Kind | Lan | Pg | Main IPC | Filing Notes |
|-----------|------|-----|----|----------|--------------|
| EP 335553 | A | E | 68 | | |

Designated States (Regional): DE FR GB

| | | | | |
|------------|------|----|-------------|--|
| US 5451977 | A | 59 | G09G-003/32 | Cont of application US 89324197 Cont of application US 92860203 |
| JP 9022268 | A | 14 | G09G-003/14 | Div ex application JP 8865392 |
| JP 9216416 | A | 10 | B41J-002/44 | Div ex application JP 8865392 |
| US 5814841 | A | | H01L-029/74 | CIP of application US 89324197 CIP of application US 92860203 CIP of application US 9384766 CIP of patent US 5451977 |
| EP 335553 | B1 E | | H01L-033/00 | Related to application EP 99200060 Related to application EP 99200061 Related to patent EP 917212 Related to patent EP 917213 |

Designated States (Regional): DE FR GB

| | | | | |
|-------------|---|--|-------------|---------------------------|
| DE 68929071 | E | | H01L-033/00 | Based on patent EP 335553 |
|-------------|---|--|-------------|---------------------------|

Abstract (Basic): EP 335553 A

An array of light-emitting thyristor elements (T-2) to T+2 is provided, arranged in a line. Each one of three transfer clock lines (phi1, phi2, phi3) is connected to a corresponding anode electrode of

every third element. The thyristors are arranged so that light emitted from an element which is turned on is incident on another element which is required to be turned on next, so that the turn-on threshold voltage of that element is reduced.

The integrated circuit structure of one embodiment of the array provides a multilayered structure having a grounded n-type gallium arsenide substrate (1) patterned by photolithography and selective etching to form the light-emitting elements. P-type semiconductor layers (21,23) and an n-type semiconductor layer (22) are formed on the substrate and provide the electrodes of the thyristor array. Each electrode (40) has an ohmic contact with the corresponding p-type layer (21) and a transparent, protective, insulating layer (30). Parallel drive pulses are supplied for transferring turn-on in the array direction at the drive pulse interval whilst propagating a change in threshold level in the direction of the array.

ADVANTAGE - Stable and reliable self-scanning of the array is achieved.

Dwg.2/62

Abstract (Equivalent): US 5451977 A

A self-scanning light-emitting element array comprising:
an array of pnpn light-emitting elements disposed with a predetermined pitch along a longitudinal direction and separated by a grooved structure provided on said pnpn structure, integral to a common cathode layer and each having an anode and a gate for controlling its turn-on threshold;

a first insulating film covering the entire upper surface of said grooved structure, said film having a plurality of contact holes therein;

a plurality of crosswise electrodes provided on said first insulating film and each connected to said anode through a contact hole provided in said first insulating film;

a plurality of coupling means each of which is coupled between said gates of neighbouring light-emitting elements through said contact holes

a second insulating film covering the whole upper surface of said first insulating film having another set of contact holes therein; and

first, second and third longitudinal clock lines provided on said second insulating film, each connected via said crosswise electrode through said contact holes in said second insulating film to said anodes of said first, second and third groups of said light-emitting elements in every third fashion.

(Dwg.1/62)

Title Terms: SELF; SCAN; ARRAY; LIGHT; EMIT; ELEMENT; ARRAY; ARRANGE; SO; THYRISTOR; TURN; LIGHT; THYRISTOR; TURN; REDUCE; THRESHOLD; LEVEL

Derwent Class: P75; P85; T04; U12; U13; V08; W02

International Patent Class (Main): B41J-002/44; G09G-003/14; G09G-003/32; H01L-029/74; H01L-033/00

International Patent Class (Additional): B41J-002/45; B41J-002/455; G06K-015/12; H01L-027/10; H01L-027/15; H01L-031/111; H01S-003/19; H04N-001/028; H04N-001/036; H04N-001/04; H04N-005/66

File Segment: EPI; EngPI

Manual Codes (EPI/S-X): T04-G04; U12-A01; U12-A01A5; U12-A01B; U12-D01; U13-D04; V08-A04A; W02-J02B2; W02-J03A

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-212170

⑬ Int.Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月23日

B 41 J 2/45
2/455

7612-2C B 41 J 3/21

L※

審査請求 未請求 請求項の数 4 (全14頁)

⑮ 発明の名称 発光素子アレイおよびその駆動方法

⑯ 特 願 平1-205193

⑰ 出 願 平1(1989)8月8日

優先権主張 ⑱ 昭63(1988)10月19日⑲ 日本(JP)⑳ 特願 昭63-263402

㉑ 発 明 者 楠 田 幸 久 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内

㉒ 発 明 者 刀 根 深 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内

㉓ 発 明 者 山 下 達 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内

㉔ 出 願 人 日本板硝子株式会社 大阪府大阪市中央区道修町3丁目5番11号

㉕ 代 理 人 弁理士 大野 精市

最終頁に続く

明 細 書

1. 発明の名称

発光素子アレイおよびその駆動方法

2. 特許請求の範囲

(1) 小さい電圧もしくは小さい電流が外部から制御するための制御電極を有する発光素子を多数個、一次元、二次元、もしくは三次元的に配列し、互いに近接に位置する少なくとも2つの発光素子の制御電極を電気的手段にて接続すると共に各発光素子に電源ラインを電気的手段にて接続し、各発光素子に外部から電圧もしくは電流を印加させる複数のクロックラインを接続した発光素子アレイであって、該発光素子アレイを複数の発光素子よりなる複数のブロックに分け、該クロックラインを1ブロック内の全発光素子に同一の伝送パルス信号を印加できるように設けた発光素子アレイ、
(2) 1ブロック内の各発光素子に、1ブロックの発光素子数と同数の、該同一の伝送パルス信号および各々独立の発光信号を伝えるクロックラインを各々の発光素子に1本ずつ接続した請求項1

記載の発光素子アレイ、

(3) 小さい電圧もしくは小さい電流が外部から制御するための制御電極を有する発光素子を多数個、一次元、二次元、もしくは三次元的に配列し、互いに近接に位置する少なくとも2つの発光素子の制御電極を電気的手段にて接続すると共に各発光素子に電源ラインを電気的手段にて接続し、各発光素子に外部から電圧もしくは電流を印加させる複数のクロックラインを接続した発光素子アレイであって、該発光素子アレイを複数の発光素子よりなる複数のブロックに分け、各ブロックに、1ブロック内の全発光素子に同一の伝送パルス信号を印加できる、1ブロックの発光素子数と同数のクロックラインを各々の発光素子に1本ずつ接続した発光素子アレイに、1ブロックごとの伝送を行なう伝送パルス信号をブロックごとに印加すると共に該クロックラインに制御信号を印加する発光素子アレイの駆動方法、
(4) 小さい電圧もしくは小さい電流が外部から制御可能な制御電極を有する発光素子を多数個、

一次元、二次元、もしくは二次元的に配列し、互いに近接して配置する少なくとも2つの発光素子の制御電極を電気的手段にて接続すると共に各発光素子に電源ラインを電気的手段にて接続し、各発光素子に、前述のクロックラインの内一つを接続した発光素子アレイであって、発光素子群を複数の発光素子よりなる複数のブロックに分け、各ブロック内においては、各発光素子の、クロックラインの接続された第1導電型半導体に接する第2導電型半導体制御電極同士を接続し、かつ隣接ブロック間は、発光素子の、バイアス電圧が印加される第2導電型半導体に接する第1導電型半導体制御電極同士を接続し、同一ブロック内の発光素子には同一のクロックラインを接続したことを特徴とする発光素子アレイ。

3. 発明の詳細な説明

(発明と利用分野)

本発明は、発光素子を同一半導体基板上に集積した自己走査駆動を有する発光素子アレイおよびその駆動方法に関し、特に該発光素子アレイの駆

動の高速化、長寿命化に関するものである。

(従来の技術)

発光素子の代表的なものとしてLED (Light Emitting Diode) 及びLD (Laser Diode) が知られている。

LEDは化合物半導体 (GaAs, GaP, AlGaAs, InGaAsP, InGaAlAs等) のPNまたはPIN接合を形成し、これに順方向電圧を加えることにより接合内部にキャリアを注入、その再結合の過程で生じる発光現象を利用するものである。

またLDはこのLED内部に導波路を設けた構造となっている。あるしきい値電流以上の電流を流すと注入される電子-正孔対が増加し反転分布状態となり、誘導放射による光子の増倍 (増倍) が発生し、へき面鏡などを利用した平行な反射鏡で発生した光が再び活性層に帰還されレーザ発振が起こる。そして導波路の端面からレーザ光が出ていくものである。

これらLED、LDと同じ発光メカニズムを有

する発光素子として発光機能を有する有機発光素子 (発光サイリスタ、レーザサイリスタ等) も知られている。発光サイリスタは先に述べたような化合物半導体でPNPN構造を作るものであり、シリコンではサイリスタとして実用化されている。(高木昌治編著、「発光ダイオード」工業調査会、pp137~169参照)

さらにこの発光サイリスタの中に導波路を設けLDとまったく同じ原理でレーザサイリスタを形成する事もできる。(Y. Tashiro et. al. Appl. Phys. Lett., 54(4), 1989 pp329-331)

この発光サイリスタの基本構造及び電流-電圧特性を図1(a)図、図1(b)図に示す。図1(a)図に示す構造はN形GaAs基板上にPNPN構造を形成したもので通常のサイリスタとまったく同じ構造である。図1(b)図も同様に通常のサイリスタとまったく同じS字形電圧特性を示している。サイリスタの図1(a)図に示す様な2端子のみでなく、図1(a)図に示す3端子サイリスタも知られている。この3端子サイリスタのゲートはON電圧を制御

する働きをもち、ON電圧はゲート電圧に低数電位を加えた電圧となる。またONした後、ゲート電極はカソード電位とほぼ一致するようになる。カソード電極が接地されていればゲート電極は浮動ポットとなる。またこの発光サイリスタは外部から光を注入することによりそのしきい電圧が低下することが知られている。

さらにこの発光サイリスタの中に導波路を設けLDとまったく同じ原理でレーザサイリスタを形成する事もできる。(田代隆、1997年秋応用物理学会講演、番号18p-2G-13)

これらの様な発光素子、特にLEDは化合物半導体基板上に多数製作され、切断されて一つ一つの発光素子としてパッケージングされ販売されている。また密着イメージセンサ用及びプリンタ用光源としてのLEDは一つのチップ上に多数個のLEDを並べたLEDアレイとして販売されている。

一方密着型イメージセンサ、LEDプリンタ等では読み取るポイント、書き込むポイントを特定

するため、これら発光素子による発光点の位置調整(充足量調整)が必要である。

しかし、これらの従来の発光素子を用いて光走査を行なうためには、LEDアレイのなかに作られている一つ一つのLEDをワイヤボンディング等の技術により駆動ICに接続し、このICで一つ一つのLEDを駆動させてやる必要があった。このためLEDの数が多の場合、多数のワイヤボンディングが必要で、かつ、駆動ICも数多く必要となりコストが高くなってしまいう問題点があった。これは駆動ICを設置するスペースを確保することが必要となり、コンパクト化が困難という問題点を発生していた。またLEDをよべるピッチもワイヤボンディングの技術で定まり、細ピッチ化が難しいという問題点があった。

そこで発明者は、発光素子のターンオン電圧または電流が、別の発光素子のON状態によって影響を受けるよう、即ち相互作用をするよう構成し、発光素子アレイ自身に自己調整機能をもたせることにより、先に挙げたワイヤボンディングの

時の問題、駆動ICの問題、コンパクト化、細ピッチ化の問題を解決する発明を行なった。(例えば特開第63-85392)この発明の内容を以下簡単に記す。

第8図および第7図に示す様に、堆積されたN形GaAs基板(1)上にP形半導体層(23)、N形半導体層(22)、P形半導体層(21)の各層を形成する。そしてホトリソグラフィ等及びエッチングにより、分離壁(30)を形成して各単体発光素子T(1)~T(4)に分断する。(単体発光素子T(1)~T(4)はこれらの発光素子アレイの一部を代表する。)アノード電極(40)はP形半導体層(21)とオーミック接触を有し、ゲート電極(41)はn形半導体層(22)とオーミック接触を有する。絶縁層(30)は素子と素子との短絡を防ぐためのものであり、同時に特性劣化を防ぐための保護膜でもある。

絶縁層(30)は発光サイリスタの発光波長の光がよく通る材質をもちいることが望ましい。N形GaAs基板(1)はこのサイリスタのカソードとして働く。

各単体発光素子のアノード電極(40)は、伝送クロックライン(φ₁、φ₂、φ₃)のいずれか1本が、長手方向にφ₁、φ₂、φ₃の順番で繰り返す様に接続される。またゲート電極には異同別脈N₁が接続される。一方各素子間に光結合が発生すると本来制御の伝送動作に影響されることがある。これを防止するため、ゲート電極の一部を発光素子間の分離壁のなかに入れ、光結合を防止する構造としている。

上記発光素子アレイの動作を説明すると、まず伝送クロックφ₁がハイレベルとなり、発光素子T(1)がONする。この時、3端子サイリスタの特性から発光素子T(1)のゲート電極G₁は電圧がV_{th}まで引き下げられる。(シリコンサイリスタの場合約1ボルトである)

また、上記発光サイリスタは光を放してそのターンオン電圧が低下する特性を持つ。発光サイリスタをその発光が近隣の素子に入射するよう構成してあるので、発光素子に近接時に近い素子、または光がよくあたるよう配置された素子はそのタ

ーンオン電圧が下がることになる。

電源電圧をV_{cc}とすると、発光素子T(1)に近く、入射光の光量の多い素子のゲート電圧が最も低下し、以降順に発光素子T(2)から順れるに従いゲート電圧は上昇していく。

次の伝送クロックパルスφ₂は近隣の発光素子T(1)、T(2)及びT(4)、T(5)等に加わるが、これらの中で最もON電圧が低い素子は発光素子T(1)である。次に低い素子は発光素子T(2)となる。

そこで伝送クロックパルスφ₃のハイレベル電圧を、発光素子T(1)のゲート電圧G₁と発光素子T(2)のゲート電圧G₂との間に設定しておけば、発光素子T(1)のみONさせることができ、伝送クロックφ₁、φ₂、φ₃のハイレベル電圧を交互に互いに少しづつ重なるように設定すれば、伝送動作(3用駆動自己定数)を行なうことができる。

上記例は、発光素子の制御電極間を光結合を用いて結合させた例であるが、制御電極間の結合は電気的結合であっても構わない。

以下に、発光素子を介してネットワークを形成

する例を説明する。

第9図は平面図であり、このX-X'ラインにそっての断面図が第10図、Y-Y'ラインにそっての断面図が第11図である。また等価回路を第12図に示す。

第10図において、発光素子はn形G₀A₀基板(1)上に積層したn形G₁A₁層(24a)、n形A₁G₁A₁層(24a)、p形G₁A₁層(23a)、n形G₂A₂層(22a)、p形A₁G₂A₂層(21a)、およびp形G₂A₂層(21a)からなっている。これは活性層であるp形G₂A₂層(23a)、n形G₂A₂層(22a)へキャリアを閉じ込めるため、バンド幅の大きいA₁G₁A₁層(21a)、(24a)で活性層を挟んだ構造であり、これにより発光効率を向上させることができる。ここで各発光素子Tに対して基層(1)はカソードとなり、p層(22)はゲート、p層(21)はアノードとなる。各発光素子T上には、絶縁保護層(31)が積層され、色々に分離される。

各発光素子のゲート(22)は、絶縁保護層(30)に設けられたコンタクト孔C1、絶縁保護層(3

0)上に設けられた金属層(41)、絶縁保護層(30)に設けられたコンタクト孔C3、n形G₀A₀基板(1)上に積層されて発光素子群と分離されたn形G₀A₀層(21a)、コンタクト孔C3、金属層(41)、コンタクト孔C1を介して各々接続されている。

各発光素子のアノード電極は、絶縁保護層(30)に設けられたコンタクト孔C1、絶縁保護層(30)上に設けられた金属層(41)、金属層(41)上の絶縁保護層(31)に設けられたコンタクト孔C2を介して伝送クロックラインに接続される。伝送クロックラインは ϕ_1 、 ϕ_2 、 ϕ_3 の3本が形成され、各発光素子のアノード電極は、 ϕ_1 、 ϕ_2 、 ϕ_3 のいずれか1本に、長さ方向に向かって ϕ_1 、 ϕ_2 、 ϕ_3 の順番で繰り返し接続される。

また、各発光素子ゲート(22)は、絶縁保護層(30)に設けられたコンタクト孔C1、絶縁保護層(30)上に設けられた金属層(41)、絶縁保護層(30)に設けられたコンタクト孔C3、n形G₀A₀基板(1)上に積層されて発光素子群と分離さ

れたn形G₀A₀層(22a)、コンタクト孔C3、絶縁保護層(30)上に設けられた金属層(42)を介して電源電圧V_{cc}に接続されている。

上記構造の発光素子アレイの動作を説明すると、伝送クロックライン ϕ_1 がハイレベル電圧となり発光素子T(0)がON状態になっているとする。このとき発光素子T(0)のノードG₀はほぼポットとなっている。すると各発光素子のゲート電極を結合した抵抗ネットワークに電流が流れ、発光素子T(0)に近いノードが最も電圧が引き下げられ、離れていくほど影響は少なくなる。例えば次の伝送クロック ϕ_2 にハイレベル電圧が加わると、3番目の発光素子T(1)とT(2)がON可能となるが、ノードG₀のほうがノードG₂より低い電圧となっているため、電源電圧を発光素子T(1)が動作する電圧より高く、かつ発光素子T(2)が動作する電圧より低く設定しておくと、発光素子T(1)のみをONさせることができる。この動作を繰り返すと、3本の伝送クロックラインを用いて発光素子の点灯を行なうことができる。

上記の場合、先に点灯した発光素子アレイは、発光素子のターンオン電圧または電流が、別の発光素子のON状態によって影響を受ける種、即ち、相互作用をすよう構成したことにより発光の自己定常運転を実現したものである。

各発光素子の制御電極間の結合は、抵抗素子を介したものに限定されず、第13図、第14図に示すような電圧または電流の一方向性のある電子を介して接続することも可能で、送一方向性電子を介して接続すると、2本の伝送パルスで自己定常を生じさせることが出来る。

一般に光プリンタに用いる発光素子アレイは、発光点の移動だけでなく発光強度の制御が必要となる。上記自己定常型発光素子アレイにおいては、以下の駆動方法により発光強度の制御も可能である。(例えば特開昭63-85392)

この駆動方法の原理を第8図に示す。第8図の上に示した図解図では特に示されていないが、各発光素子のゲート端子は第12図または第13図に示す様な電気的手段または光学的手段で接続

ックごとの転送を行なう転送パルス信号をブロックごとに印加すると共に、各発光素子に接続するクロックラインに各々別々の反転信号を印加する。この方法により発光素子アレイの駆動の高速化および長寿命化が実現出来る。

また、上記発明は例えば、しきい電圧の低いしきい電圧が外部から制御可能な制御電極を有する発光素子を多数個、一次元、二次元、もしくは三次元的に配列し、互いに近接に位置する少なくとも2つの発光素子の制御電極を電気的手段にて接続すると共に各発光素子に電源ラインを電気的手段にて接続し、各発光素子に、複数のクロックラインの内の一つを接続した、発光素子アレイであって、発光素子群を複数の発光素子よりなる複数のブロックに分け、各ブロック内においては、各発光素子の、クロックラインの接続された第1導電型半導体に接する第2導電型半導体制御電極同士を接続し、かつ隣接ブロック間は、発光素子の、バイアス電圧が印加される第2導電型半導体に接する第1導電型半導体制御電極同士を接続し、

クロックラインに接続される発光素子群(別ブロック)の一部の発光素子の第2ゲート層に接続するよう構成したものである。

本発明に使用する発光素子としては、しきい電圧の低いしきい電圧が外部から制御可能な素子、例えばP導電型半導体領域及びN導電型半導体領域を複数積層した異性接合を有する発光素子を用いることができる。

【作用】

本発明では上記に記したようにいくつかの素子をブロック化し、この各ブロックごとに発光状態の転送を行う。また画素の書き込みはこのブロック内の各発光素子に同時に行なう。これによって移動する発光点が従来の様に1点のみでなく、ブロック内に含まれる複数の点となるため、画素書き込みに必要な電流がその分小さくなり、長寿命化することができる。

また、各発光素子の、クロックラインの接続された第1導電型半導体に接する第2導電型半導体制御電極同士を接続し、かつ隣接ブロック間は、

同一ブロック内の発光素子には同一のクロックラインを接続する構造においても実現できる。

上記例は、発光素子の制御電極同士を電気的手段により接続する方法を抽出し、電気的手段として抵抗を使用せず、従って製造工程の簡素化を可能とするものである。

上記例は、抵抗を使用せずに電気的手段を行なうための手段として、先の発明の例で示したような、クロックラインが印加される第1導電型半導体層(P形半導体層)に接する第2導電型半導体層(N形半導体層)である第1ゲート層を抵抗R1、R2を介して電気的に接続する方法を取らず、クロックラインを同時に電極の互いに接続する発光素子に印加するよう構成し、該クロックラインが接続される第1導電型半導体層に隣接する第2導電型半導体層である第1ゲート層を同一クロックラインが接続される発光素子(ブロック)間では互いに接続し、かつバイアス電圧に接続される第2導電型半導体層に隣接する第1導電型半導体層である第2ゲート層を前記クロックラインと対向

発光素子の、バイアス電力が印加される第2導電型半導体に接する第1導電型半導体制御電極同士を接続し、同一ブロック内の発光素子には同一のクロックラインを接続する構造にすれば、ハイレベル電圧が印加されるクロックラインに接続された複数の発光素子(ブロックとよぶ)がONしている場合、該発光素子の第2ゲート層から別のクロックラインが接続される発光素子の第2ゲート層に電流が流れ、従ってこの発光素子のしきい電圧を低下させる。これがUN状態転送の引き金として作用し、自己定常駆動を具備することができる。

【実施例】

実施例-1

n形基板(1)上にエピタキシャル成長でn層(24)、p層(23)、n層(22)、p層(21)を形成し、ホトエッチングにより素子間分離溝(60)を形成する。基板(1)はカソードとなり、(22)がゲート、(21)がアノードとなる。T(-1)、T(0)、T(1)はブロックを示す。この実施例では一つのブロックの中にアノード(21)

がなつてゐることになる。三つは発光素であり、残る一つは増幅用ダイオードである。増幅用ダイオードは増幅する素子のゲートに接続され、発光素アノードは駆動クロックに接続される。

上記実施例の等価回路図を第2図に示す。上記実施例は、転送動作を行なう各ブロックに3つの発光素子が含まれる例を示したものである。

発光素子 $\{T_1(-1), T_2(-1), T_3(-1)\}$ 、発光素子 $\{T_1(0), T_2(0), T_3(0)\}$ 、発光素子 $\{T_1(1), T_2(1), T_3(1)\}$ が各ブロックを貫し、ブロック内の素子 T_1, T_2, T_3 が個別の発光を行なふ。各ブロックは結合用ダイオード D_1, D_2, D_3 により電気的に接続され、発光素子は負電圧 V_1 を介して電流電圧 V_2 に接続されている。各ブロックのアノードには同じクロックが印加される。例えばブロック $(-1), (1)$ には駆動クロック ϕ_1 が、ブロック (0) には駆動クロック ϕ_2 が印加される。各駆動クロックライン $\phi_1, \phi_2, \phi_3, \phi_4, \phi_5, \phi_6, \phi_7, \phi_8, \phi_9$ にはお互いの ON 状態が影響しあわない様、それぞれバッファを設けている。

まず、消費電力の増加につながるので6つの電流源を全く別に駆動してもよい。

各ブロックの ON 時間は従来法の三倍であるため、同一積分精度を得るために ON 素子に流す電流は従来 $1/3$ ほどよく、従来例に比べ長寿命化することが可能である。

上記実施例の場合、電流源の電流値を約 $1A$ とすることにより、両面型の発光を得るために電流値を決定した従来型の発光素子アレイと比べて約 $1/10$ 程度の素子寿命が実現できた。

また以上の説明では発光サイリスタに限定して説明したが別様な機能を持つデバイスであればこれに限らず何でもよい。さらにはレーザサイリスタであってもよい。

尚ここではダイオード結合方式の自己差動型発光素子アレイを例として示したが、発光素子アレイの電気的結合方式は抵抗ネットワークによる方式などであっても構わない。

またブロックに上記実施例においては、1ブロック内に3素子含まれる場合を示したが、この例

動作は従来と同じで、1素子づつ ON し、それが転送していったものがブロックごとの転送に変わったのである。ビット数が同じ条件で比較すると、この例ではブロックに3素子入っているため、従来方式に比べ1素子の発光時間を3倍に延長することができる。

次に駆動電圧を省き込む場合を考える。第2図において各駆動クロックライン $\phi_1, \phi_2, \phi_3, \phi_4, \phi_5, \phi_6, \phi_7, \phi_8, \phi_9$ に電流源 $I_1, I_2, I_3, I_4, I_5, I_6, I_7, I_8, I_9$ が接続され、電流源 I_1, I_2 は駆動クロックライン ϕ_1 に、電流源 I_3, I_4 は駆動クロックライン ϕ_2 に、電流源 I_5, I_6 は駆動クロックライン ϕ_3 に同期して変化する。いま発光素子 $T_1(0)$ の発光を強くして駆動を省き込む場合は駆動クロックライン ϕ_1 に同期して駆動クロックライン ϕ_1 をハイにして電流源 I_1, I_2 を ON させ電流を流させればよい。電流源 I_1 からの電流は発光素子 $T_1(0)$ に流れ発光強度を上げる。電流源 I_2 の電流は素子側に流れ込まず、バッファを介し工外に出る筈にする。この電流源 I_1 の電流は発光に

はいくつでもよい。

尚、以上述べてきた本発明の一連の実施例は基板として半導体基板を用い、その電極をエポキシ（接合）とした例を示したが、本発明はこれに限らず基板として他の物質を用いてもよい。もっとも近い例でいえばクロム（Cr）等をドープした半導体性 $GaAs$ 基板上に実施例の n 形 $GaAs$ 基板に相当する n 形 $GaAs$ 層を形成し、この上に実施例で説明した構造を形成してもよい。また例えばガラス、アルミナ等の絶縁基板上に半導体膜を形成し、この半導体膜を用いて実施例の構造を形成してもよい。

実施例-2

実施例-2の等価回路図を第3図に示す。これは発光し易い電圧、電流が外部から制御できる発光素子の一例として、最も基本的な三端子の発光サイリスタを用いた場合を示している。

発光サイリスタ $T(-1), T'(-1), T(0), T'(0), T(1), T'(1)$ は、それらが一列に並べられた構造となっており、発光サイリスタ $T(-1)$ と $T'(-1)$

(1)、発光サイリスタ $T(0)$ と $T'(0)$ 、発光サイリスタ $T(1)$ と $T'(1)$ とが、それぞれブロック(即ち同一クロックラインが印加される発光素子のグループ; この実施例の場合、ブロックは2素子で構成される。)を形成している。発光サイリスタ $T(-1)$ 、 $T(0)$ 、 $T(1)$ の各発光サイリスタはトランジスタ $T1$ 、 $T12$ の組合せとして、同じく発光サイリスタ $T'(-1)$ 、 $T'(0)$ 、 $T'(1)$ の各発光サイリスタはトランジスタ $T'1$ 、 $T'12$ の組合せとして構成されている。トランジスタ $T1$ 、 $T12$ はPNPトランジスタ、トランジスタ $T'1$ 、 $T'12$ はNPNトランジスタであり、トランジスタ $T1$ 、 $T12$ にはクロックライン、トランジスタ $T'1$ 、 $T'12$ にはハイアス電圧に接続される。

発光サイリスタ間の接続としては、同じブロック内ではトランジスタ $T1$ 、 $T12$ のベース電極(第1ゲートとよぶ)、各ブロック間ではトランジスタ $T12$ 、 $T'12$ のベース電極(第2ゲートとよぶ)が互いに接続される。各ブロックのトランジスタ $T1$ 、 $T12$ のエミッタ電極には3本の転送クロック

ライン(ϕ_{11} 、 ϕ_{12} 、 ϕ_{13})がそれぞれ3ブロックごとに接続される。クロックラインには電流制限用抵抗 R が設けられる。

動作を説明する。まず転送クロック ϕ_{11} がハイレベルとなり、発光サイリスタ $T(-1)$ 、 $T'(-1)$ がONしているとする。この時トランジスタ $T12(-1)$ 、 $T'12(-1)$ のベース電位は電流が流れるような高い電位(約1V)になっている。トランジスタ $T1(-1)$ のベースはトランジスタ $T12(0)$ のベースに接続されているため、発光サイリスタ $T(0)$ はONしやすくなっている。ON状態の影響は発光サイリスタ $T(0)$ のみに与えられ発光サイリスタ $T'(0)$ には影響しない。同時にブロック(-2)では発光サイリスタ $T'(-2)$ のみONしやすくなり、発光サイリスタ $T(-2)$ には影響しない。ONしているブロックに対して2段階ブロック、即ちブロック(-3)(1)にかけては影響を受けない。

この状態で次の転送クロック ϕ_{12} が適当なハイレベル電圧に設定されると発光サイリスタ $T(0)$ はただちにONする。そしてトランジスタ $T1(0)$ 、ト

ランジスタ $T12(0)$ のベースが発光サイリスタ $T'(0)$ がONしたためにほぼ零電位になっており、トランジスタ $T12(0)$ に電流が流れる。このため発光サイリスタ $T'(0)$ も誘ってONすることになる。

一方転送クロック ϕ_{13} が印加される別のブロック(例えば(-3))はブロック(-1)の影響を受けず、促ってONしない。この転送動作可能なハイレベル電圧の値の範囲はかなり広く、低電圧側では1.5~2V、高電圧側では発光サイリスタの耐圧で定まる電圧まで可能である。次に転送クロック ϕ_{11} をローレベルにするとブロック(-1)がOFFとなり、よってON状態は(-1)から(0)へ移動したことになる。

各クロックパルス ϕ_{11} 、 ϕ_{12} 、 ϕ_{13} をそのハイレベルが互いに重なりあうように設定しておく、ON状態発光素子が順次駆動されていくことになる。これから自己走査可能な発光素子アレイを実現することができる。

以上より本実施例では発光素子間を接続する抵抗を使用することなく自己走査動作を実現させる

ことが出来る。かつ転送クロックパルスの転送可能なハイレベル電圧の幅も、低圧側では1.5~2V、高圧側では発光サイリスタの耐圧電圧まで、とかなり余裕をもたせる事が出来る。

本実施例では転送クロックパルスが3個の場合で動作を説明したが、3個以上であってももちろん動作する。さらに第3図では発光素子を一列に並べているが、配列を直線にする必要はなく、応用によって蛇行させてもよいし、途中から二列以上に増やすことも可能である。またこの説明では発光サイリスタに限定して説明したが同様な構成を持つデバイスであればこれに限られず何でもよい。発光素子としてレーザサイリスタであってもよい。この駆動方法は発光素子を単体部品で構成してもよく、また次の実施例で示すようになんらかの方法により集積化してもよい。

上記説明では等価回路を示し説明したが、以下に集積化して作成する場合の構成について説明するものである。

まず第3図に示した等価回路図をより模式的

に書き直した図を第4図に示す。発光サイリスタは基本的にP形半導体層とN形半導体層とを4層層番に基いた構造として表わされる。このPNPN構造の内、PNP部分が第3図のトランジスタT'1、T'3に相当し、NPN部分がトランジスタT'2、T'4に相当する。第4図は第3図の接続をこのPNPN構造に置き換えたものである。

この構成を現実的な構成としたものを第5図に示す。接続されたN形GaAs基板(1)上にN形半導体層(24)、P形半導体層(23)、N形半導体層(22)、P形半導体層(21)の各層を形成する。そしてホトリソグラフィ等及びエッチングにより、各層毎発光素子T(-1)~T(1)に分離され、第5図の形状が形成される。

この構造の特徴は発光素子T'(-1)とT(0)、発光素子T'(0)とT(1)の下側PN部分を共通とし、発光素子T(-1)とT'(-1)、発光素子T(0)とT'(0)、発光素子T(1)とT'(1)の上側PN部分を互接はれにて接続した点である。各発光サイリスタはアノード電極(40)、ゲート電極(41)(

第1ゲート)を有し、絶縁層(30)により分離されている。

発光サイリスタT、T'のうち、実際に発光素子として使われるのはTであり、T'は隣接素子間の接続用としてもちいられる。光は上部に取り出される。

上記構成は上記の動作をする。従って、転送クロックφ1、φ2、φ3のハイレベル電圧を順番に互いに少しずつ異なるように設定すれば、発光サイリスタのON状態は順次転送されていく。即ち、発光点が順次転送される。

以上より本実施例では発光素子間を接続する抵抗が不要であり、しかも転送クロックパルスの転送可能なハイレベル電圧の幅も、電圧制では1.5~2V、高圧側では発光サイリスタの耐圧電圧までとかなり余裕をもたせる事が出来る。

本実施例では転送クロックパルスとして、φ1、φ2、φ3の3相を想定したが、より安定な転送動作を求める場合にはこれを4相、5相と増加させてもよい。

また本実施例では発光サイリスタの構造を最も簡単な場合について示したが、発光効率を上げるために、より複雑な構造、増幅構成を導入することも本発明の範囲に含まれる。その具体的な例としてダブルヘテロ構造の採用が挙げられる。一例を第18図に示す。【出願1987年専任用物理学特許第280-2E-8】これはN形GaAs基板の上に、0.5μmのN形GaAs層を積み、その上にバンドギャップの広いN形AlGaAsを1μm、P形GaAs層を0.05μm、N形GaAs層を1μm、バンドギャップの広いP形AlGaAsを1μm、そして取り出し電極とのオーミック接触をとるためのP形GaAs層を0.15μm積層した構成である。発光層は間に挟まれた、1μmのN形GaAs層である。これは注入された電子、正孔がバンドギャップの狭いGaAs層に閉じ込められ、この領域で再結合し発光する。

またここではPNPNのサイリスタ構成を例に説明したが、この電図を模倣し、しめい電圧が低下し、これを利用して転送動作を行うという

構成は、PNPN構成のみに限られず、その機能が達成できる素子であれば特に限定されない。例えば、PNPN4層構成でなく、8層以上の構成でも同様な効果を得待であり、まったく同様な自己定常接続を達成することが可能である。さらには静電誘導(SI)サイリスタまたは電界制御サイリスタ(FCT)と呼ばれるサイリスタを用いてもまったく同様である。このSIサイリスタまたはFCTは電圧ブロックとして働く中央のP形半導体層を空乏層で置き換えた構造となっている(S. M. Sze 著、Physics of Semiconductor Devices, 2nd Edition pp238-240)。

またここでは半導体層としてGaAs、AlGaAsを例示したが、これに限らず他の半導体を用いてもよい。

尚、以上述べてきた本発明の一態の実施例は基盤として半導体基板を用い、その電位を常ポルト(接地)とした例を示してきたが、本発明はこれに限られず基板として他の物質を用いてもよい。もっとも近い例でいえばクロム(Cr)等をドワ

プリント基板にGSA基板の上に実施例のn形GSA基板に埋込むn形GSA層を形成し、この上に実施例で説明した構造を形成してもよい。また例えばガラス、アルミナ等の絶縁基板上に半導体層を形成し、この半導体層を用いて実施例の構造を形成してもよい。

また実施例で示してきた構造において、導電型のPとNをそれぞれ逆転してもバイアス条件等を反転すれば全く同様に動作し、本発明の範囲に含まれる。

以上の実施例にて説明してきた自己走査可能な発光素子アレイは、光走査の電荷イメージセンサ、光プリンタの書き込みヘッド、ディスプレイ等が挙げられ、これらの電荷の感度特性、高性能化に大きな寄与をすることが出来る。

【発明の効果】

以上述べてきたように、本発明は複数の素子をブロック化し、ブロックごとに同時に駆動するようにし、そして画素書き込みは個々の素子を別々に行うことで、従来の問題であった画素書き込み時

の低い駆動性入量を増補し、SLEDの長期安定化を行うことができる。

以上述べてきたように、本発明により、光の発明で示した利益、即ち、ワイヤボンディングの数の問題、駆動ICの問題、コンパクト化、高ビツク化等の種々の問題をさらに容易に解決することができる。

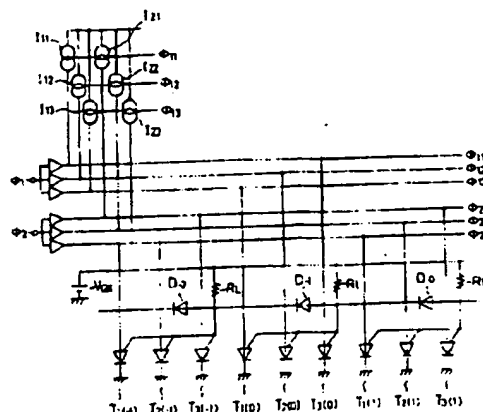
4. 図面の簡単な説明

第1図は第1の実施例の構造を示す断面図、第2図は同等断面図、第3図は第2の実施例の等価回路図、第4図は第3図のPNイメージ図、第5図は同構造の断面図、第6図は自己走査性を有する発光素子アレイの駆動を示す等価回路図、第7図は同構造の断面図、第8図は自己走査駆動を生じるパルスタイミングの一例を示す図、第9図は自己走査性を有する別タイプの発光素子アレイの駆動を示す平面図、第10図は同断面図、第11図は同別方向断面図、第12図は同等断面図、第13図および第14図は自己走査性を有する別タイプの発光素子アレイの駆動を示す等価

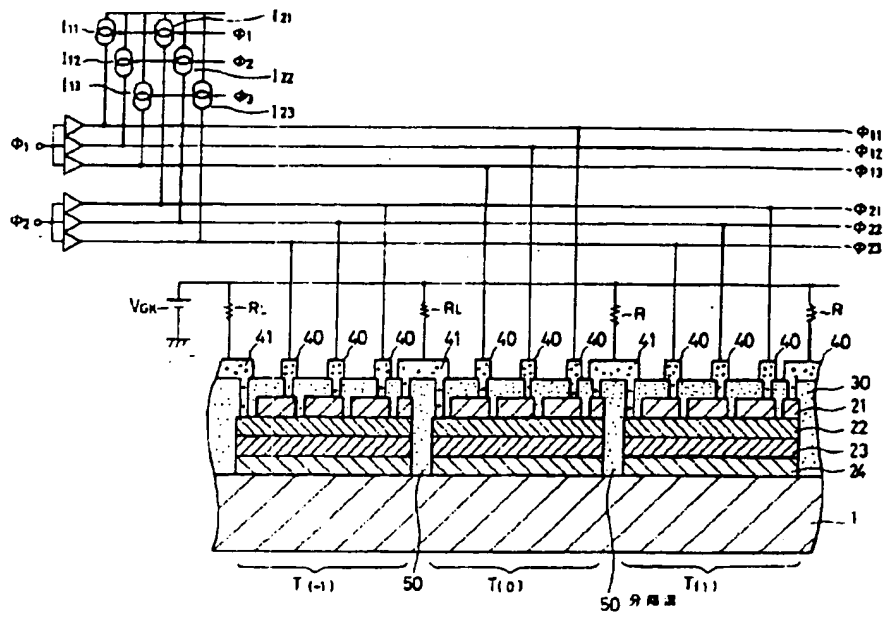
回路図および断面図である。第15図は従来の発光サイリスタの駆動構造を示す断面図、第16図は該発光サイリスタの電流-電圧特性を示す図、第17図は3端子サイリスタの駆動構造を示す断面図、第18図はダブルヘテロ構造の発光サイリスタの駆動を示す断面図である。

特許出願人 日本電子株式会社

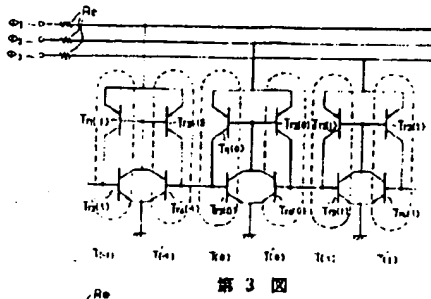
代理人 片岡 大 野 昭 市



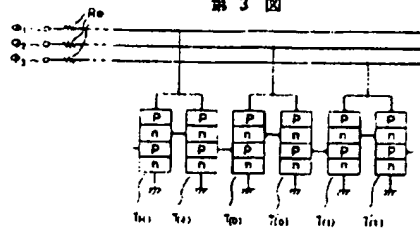
第2図



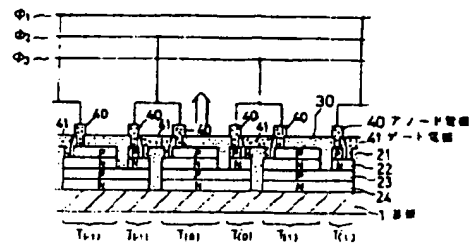
第 1 図



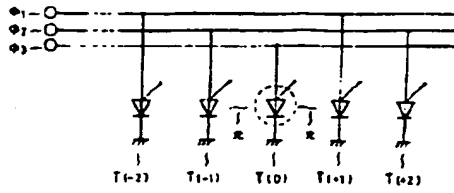
第 3 図



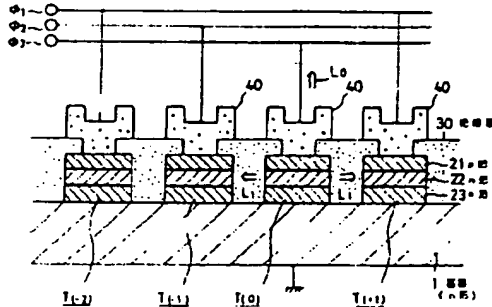
第 4 図



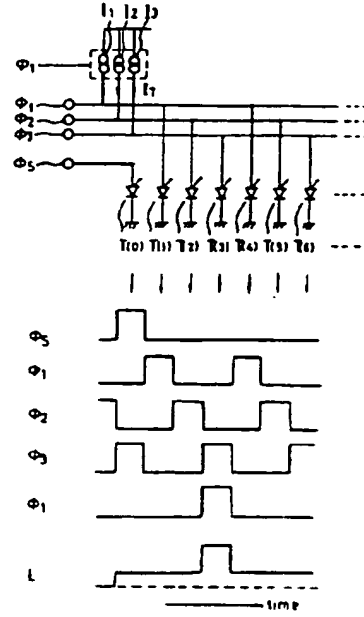
第 5 図



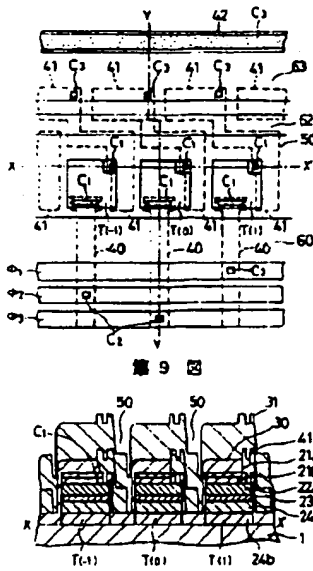
第 6 図



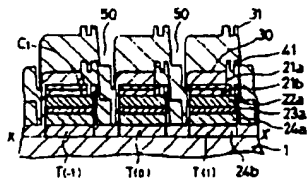
第 7 図



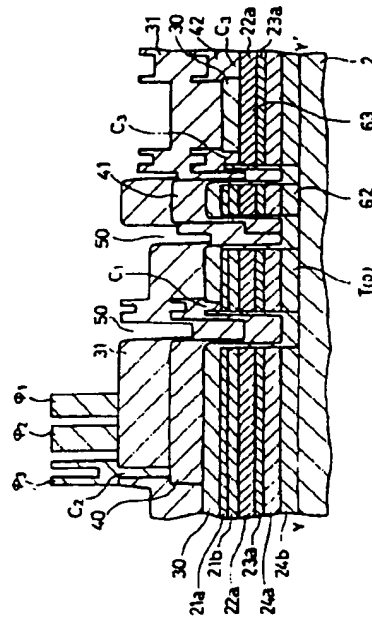
第 8 図



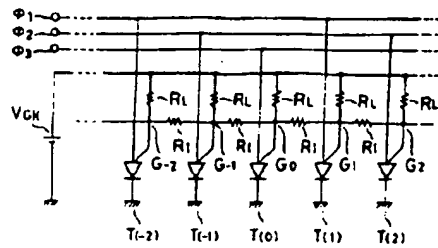
第 9 図



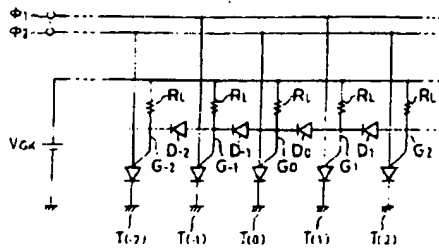
第 10 図



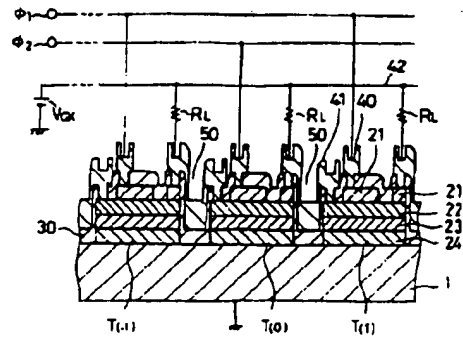
第 11 図



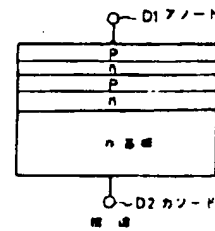
第12図



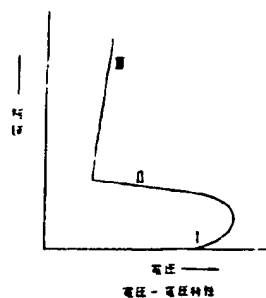
第13図



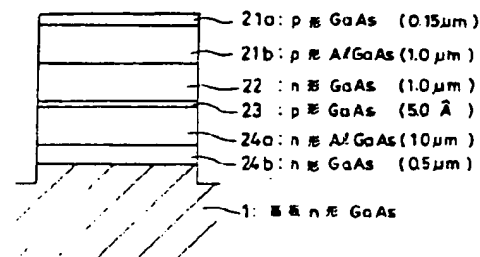
第14図



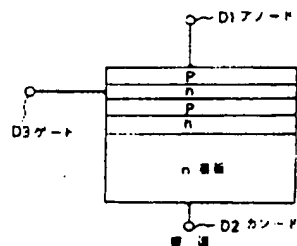
第15図



第16図



第18図



第17図

第1頁の続き

⑥Int. Cl. 9

識別記号

庁内整理番号

G 09 G 3/32
H 01 L 29/74

E

6376-5C
7376-5F

⑦発明者 田 中

修 平

大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内